

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-141079

(43)公開日 平成7年(1995)6月2日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 3/00

識別記号

庁内整理番号

F I

技術表示箇所

F

B

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21)出願番号 特願平6-106853

(22)出願日 平成6年(1994)5月20日

(31)優先権主張番号 特願平5-239807

(32)優先日 平5(1993)9月27日

(33)優先権主張国 日本 (JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大坂 英樹

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 小倉 敏彦

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 井上 雅雄

神奈川県海老名市下今泉810番地 株式会

社日立製作所オフィスシステム事業部内

(74)代理人 弁理士 武 頤次郎

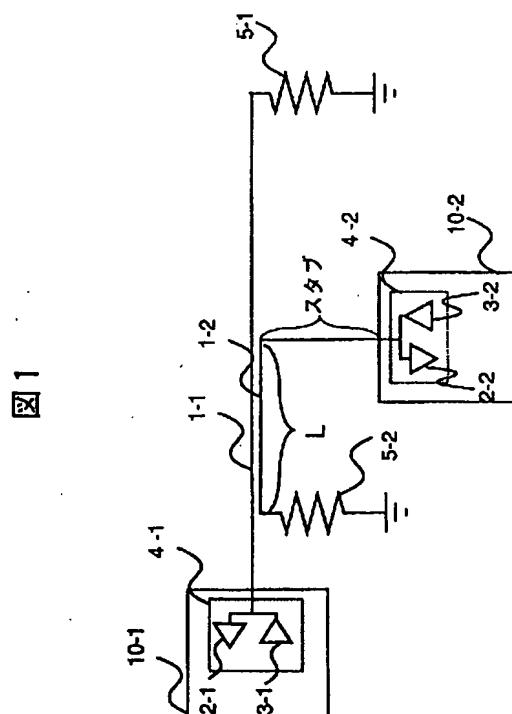
(54)【発明の名称】 バス配線

(57)【要約】

【目的】 転送信号の波形歪みを防止し、バス接続された信号処理手段の個数に拘らず、高い動作周波数に対して信号伝搬速度が低下しないバス高速化性能を有したバス配線を提供する。

【構成】 半導体集積回路10-1の積分機能をもつ入力回路2-1と出力回路3-1がバス接続線1-1の一端に接続され、バス接続線1-1の他端は終端抵抗5-1によって整合終端され、同様の構成を有した半導体集積回路10-2がバス接続線1-2に接続され、バス接続線1-2は終端抵抗5-2によって整合終端され、これらバス接続線1-1, 1-2の一部の長さLの部分が互いに近接かつ平行となって電気的結合を成す平行結合部を構成することにより、半導体集積回路10-1

(10-2)からの送信データは平行結合部を通り、微分波形として半導体集積回路10-2(10-1)に送られ、入力回路2-1(2-2)で積分されて元の送信信号波形が復元される。



## 【特許請求の範囲】

【請求項1】 1以上の信号入出力回路を有する複数個の半導体集積回路等の信号処理手段を接続するバス配線において、

複数のバス接続線の少なくとも一方の端部に前記信号処理手段がそれぞれ接続され、前記信号処理手段側とは反対側の端部が整合終端されており、

これらのバス接続線の中の1つのバス接続線に対し、当該バス接続線以外の少なくとも1つの前記バス接続線の一部が並行して配置されることにより、容量・誘導結合されて相互に信号が伝達される信号伝達部を成し、前記信号処理手段の信号入出力回路の入力回路はそれぞれ積分回路を有することを特徴とするバス配線。

【請求項2】 請求項1の記載において、少なくとも1つのバス接続線は、その両端部に信号処理手段が接続され、かつ、両端部がそれぞれ整合終端されていることを特徴とするバス配線。

【請求項3】 請求項1または2の記載において、信号入出力回路の入力回路が電圧比較回路と復調回路から成ることを特徴とするバス配線。

【請求項4】 請求項1または2の記載において、信号伝達部を形成するバス接続線相互間では、これに直接接続された信号処理手段から出力される信号の送信信号伝搬方向が互いに同じ方向になっていることを特徴とするバス配線。

【請求項5】 請求項1または2の記載において、信号伝達部を構成するバス接続線はプリント回路基板上の隣接する2つの配線または多層プリント回路基板の積装方向に隣接する2つの配線であることを特徴とするバス配線。

【請求項6】 請求項1または2の記載において、信号入出力回路の出力回路はオープンドレイン型MOSトランジスタを有することを特徴とするバス配線。

【請求項7】 請求項1または2の記載において、信号処理手段が有する信号入出力回路を信号処理を行う信号処理回路本体と別体構成としたことを特徴とするバス配線。

【請求項8】 請求項5の記載において、平行結合部を構成するバス接続線は多層プリント回路基板の上下に隣接する2つの配線であって、これらの2つの配線が対向する方向と異なる方向に前記配線を両側から挟むように平行配置された接地配線が設けられたことを特徴とするバス配線。

【請求項9】 請求項5または8の記載において、信号伝達部を構成するバス接続線および当該バス接続線の少なくとも一方の端部を整合終端する終端抵抗で構成されるバス接続部を独立したプリント回路基板で構成したことを特徴とするバス配線。

【請求項10】 請求項1, 2, 5または8の記載において、

少なくとも1つの信号処理手段はコネクタを介してバス接続線に接続されることにより、

当該信号処理手段を活線挿抜可能としたことを特徴とするバス配線。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、情報処理装置に用いて好適なバス配線に係り、特に、バス接続される複数の半導体集積回路等の信号処理手段を接続するバス配線に関する。

## 【0002】

【従来の技術】 パーソナルコンピュータやワークステーションなどの情報処理装置に用いられるバスは高速化が図られ、マルチプロセッサやI/O数の増加に伴なってバス接続される回路も多くなっている。図2は従来のバス配線の一例を示す構成図であって、1はバス接続線、2は信号出力回路、3は信号入力回路、4-1は信号入出力回路、10-1～10-5は半導体集積回路である。同図に示すように、この例では5個の半導体集積回路10-1, 10-2, 10-3, 10-4, 10-5がバス接続されている。即ち、半導体集積回路10-1, 10-5がバス接続線1で接続され、このバス接続線1から分岐して半導体集積回路10-2, 10-3, 10-4がバス接続されている。なお、バス接続線1の両端の分岐点間はメインライン、各分岐点から半導体集積回路10-1～10-5までのそれぞれのライン部分はスタブと呼ばれる。

【0003】 半導体集積回路10-1～10-5にはそれぞれ信号出力回路2と信号入力回路3とからなる入出力回路4-1～4-5が設けられており、これら半導体集積回路10-1～10-5間のデータの送受信は、バス接続線1およびこれらの入出力回路4-1～4-5を介して行なわれる。なお、バス接続される半導体集積回路が5個の例を説明したが、一般的には、同様なバス接続はバス幅に応じて多数本あるのが普通である。

## 【0004】

【発明が解決しようとする課題】 ところで、このようなバス配線を用いて、例えば、30MHz以上の動作周波数でデータ転送を行なうと、バス接続線1上で送信信号に波形歪が生じ、誤動作し易いという問題があった。この波形歪の主な原因是、半導体集積回路10-1～10-5の出力回路2や入力回路3が有する負荷容量や、バス接続線1の分岐に伴う信号の反射である。即ち、バス接続線1は、この動作周波数領域では分布定数回路として振る舞うが、分岐や負荷容量のために線路が有する特性インピーダンスが大きく乱れ、これによって送信信号に波形歪が生ずるのである。また、これら分岐や負荷容量は信号伝搬速度を低下させ、これによってデータ転送の高速動作が制限されてしまう。例えば、バスがガラスエポキシ樹脂系プリント基板上に配線されている場合、

線路の有する特性インピーダンスは  $50\Omega$  ~  $100\Omega$  程度である。ところが、これに分岐があると、その特性インピーダンスは半分になってしまう。即ち、線路の特性インピーダンスが  $100\Omega$  とすると、分岐のために、特性インピーダンスは  $50\Omega$  まで低下してしまう。この場合、分岐点での反射係数は  $-1/3$  であって、約 33% の負の反射波が後退波として生じてしまう。また、分岐点から半導体集積回路までの配線であるスタブ上では、スタブ端が終端されていない場合、半導体集積回路側の反射係数がほぼ 1 であるため、スタブの両端で信号が反

$$V_{p'} = V_p \cdot (1 + Cd / C_o)^{-1/2} \quad \cdots (1)$$

但し、 $C_d$  は単位長当たりに分布した容量による容量增加分

$C_o$  は単位長当たりの線路の持つ容量

である。例えば、 $1.5\text{pF}$  の入力容量を有する半導体集積回路が  $3\text{cm}$  置きに並ぶようなバス配線の場合、線路の単位長当たりに持つ容量は、 $C_o \sim 1\text{pF/cm}$  であるので、信号伝搬速度  $V_{p'}$  は  $0.4V_p$  にまで遅くなる。即ち、 $30\text{cm}$  のバスに 8 個の半導体集積回路が接続される場合、確定時間は終端バスで約  $7.5\text{nsec}$ 、非終端バスで約  $15\text{nsec}$  それぞれ掛かかるため、この動作周波数の上限はそれぞれ  $6\text{MHz}$  と  $3.3\text{MHz}$  に制限されてしまう。即ち、バス上での波形の安定化時間はバスの配線長とバスの負荷数で決まり、この結果、バスのデータ転送の高速化が制限されていた。

【0005】以上のような反射による信号の波形歪みや伝搬速度の低下は、バス上に接続される半導体集積回路の数が多い程、また、動作周波数が高い程大きくなってしまい、バスの動作性能向上を制限することになる。さらに、上述の接触分岐バスでは、動作中にバス上の半導体集積回路、または、この半導体集積回路を含むモジュールを他の半導体集積回路に影響を与えること無く挿抜する、所謂、活線挿抜の実現が難しかった。これは、バスにモジュールが接続される時に、それが有する静電気が、既に接続されている他の半導体集積回路を破壊したり、モジュールの挿抜による負荷容量の変化がバス上の信号波形を大きく歪ませるからである。本発明の目的は、従来技術におけるかかる問題点を解消し、バス接続される信号処理手段の個数に拘らず、送信信号の波形歪みの発生を防止し、高い動作周波数に対して信号伝搬速度が低下しないバス高速化性能を有したバス配線を提供することにある。本発明の他の目的は活線挿抜を可能としたバス配線を提供することにある。

#### 【0006】

【課題を解決するための手段】上記目的を達成するため、本発明は信号処理手段が接続されるバス接続線の端部を整合終端し、特定のバス接続線に対して他のバス接続線の一部を並行して配置して容量・誘導結合によって相互に信号が伝達される信号伝達部を形成すると共に、信号処理手段の入力回路に積分回路を設けたものであ

射を繰り返し、系全体の信号波形が安定するまでに長時間を要することになる。波形が安定化するまでの時間は、バス上の端から端が最大となる配線上の信号伝搬時間の約 2 倍になる。また、メインライン上での信号伝搬速度  $V_p$  もスタブの分岐や負荷容量により遅くなる。上述のように、メインラインはバス接続上で最も離れた分岐点間の配線である。線路に容量が一定間隔で並んだバス配線の場合、この容量によって遅くなる信号伝搬速度  $V_{p'}$  は次の式 (1) で表わされる。

る。さらに、少なくとも一部の信号処理手段をコネクタを介してバス接続線に接続したものである。

#### 【0007】

【作用】あるバス接続線に対して他のバス接続線は信号伝達部で容量・誘導結合されていて、或る信号処理手段から出力される送信データはこれに接続されるバス接続線を通じて信号伝達部に到ると、容量・誘導結合作用により微分波形となって他のバス接続線に生じた誘起信号となって他の信号処理手段に転送される。各信号処理手段の入力回路は積分回路を有しているために、受信された微分波形のデータ信号はこの積分回路で積分され、元の送信波形のデータが復元される。かかるデータ転送に際し、バス接続線は端部が整合終端しているので、送信データがこの端部で吸収され、信号の反射が生じない。また、コネクタを介して信号処理手段を挿抜する場合、これに接続されるバス接続線に雑音が生ずるが、この雑音はそのバス接続線の端部の整合終端によって吸収され、また、バス接続線に接続する信号処理手段の静電気は容量・誘導結合された信号伝達部によって遮断される。

#### 【0008】

【実施例】以下、本発明の実施例を図面を用いて説明する。図 1 は本発明の第 1 の実施例に係る構成図であつて、1-1, 1-2 はバス接続線、2-1, 2-2 はバス信号入力回路、3-1, 3-2 はバス信号出力回路、4-1, 4-2 はバス信号入出力回路、5-1, 5-2 は終端抵抗、10-1, 10-2 はバス接続される 2 個の半導体集積回路である。同図に示すように、半導体集積回路 10-1 はバス信号入力回路 2-1 とバス信号出力回路 3-1 とからなるバス信号入出力回路 4-1 を有し、半導体集積回路 10-2 もバス信号入力回路 2-2 とバス信号出力回路 3-2 とからなるバス信号入出力回路 4-2 を有している。そして、半導体集積回路 10-1 のバス信号入力回路 2-1 の入力部とバス信号出力回路 3-1 の出力部とがバス接続線 1-1 の一方の端部に接続され、このバス接続線 1-1 の他方の端部は終端抵抗 5-1 によって整合終端されている。また、半導体集積回路 10-2 のバス信号入力回路 2-2 の入力部とバス信号出力回路 3-2 の出力部は別のバス接続線 1-2

の一方の端部に接続され、このバス接続線1-2の他方の端部は終端抵抗5-2によって整合終端されている。従って、これらバス接続線1-1, 1-2の上記他方の端部では信号の反射は生じない。バス接続線1-1, 1-2の一部の部分（長さL）は互いに平行で近接しており、この部分でバス接続線1-1, 1-2が電気的に強く結合している。即ち、バス接続線1-1, 1-2は全く接触しておらず、互いに接続されてもいい。このバス接続線の互いに平行で近接した長さLの部分を本明細書では「平行結合部」と言う。バス接続線1-2は、この平行結合部の両端部でバス接続線1-1から離れるように直角に近い角度で屈曲しており、この平行線路以外の部分ではバス接続線1-1, 1-2間の電気的な結合が小さくなるようになっている。また、例えば、バス接続線1-2の平行結合部の端部（折曲点）から半導体集積回路1-2までの、これに信号を伝達するバス接続線部分を、本明細書では従来例に対応させてスタブと呼ぶことにする。さらに、半導体集積回路がデータ送信する場合にバス接続線上で送信信号が進む方向を「送信信号伝搬方向」と定義する。送信信号伝搬方向は換言すると、バス接続線上的半導体集積回路から終端抵抗への向きをいうことになる。従って、本実施例ではバス接続線1-1とバス接続線1-2は、平行結合部での送信信号伝搬方向が互いに逆になるように配置されていることになる。

【0009】かかる構成により、半導体集積回路10-1からバス接続線1-1に出力される信号は、平行結合部でバス接続線1-2に移り、そのスタブを通って半導体集積回路10-2に送られる。また、半導体集積回路10-2からバス接続線1-2に出力される信号は、平行結合部でバス接続線1-1に移り、半導体集積回路10-1に送られる。このようにして、互いに非接触のバス接続線1-1, 1-2を通じて半導体集積回路10-1, 1-2間の信号のやり取りが行なわれるが、この信号伝搬の原理を図3を用いて説明する。図3(a)は2つのバス接続線の一部に平行結合部の部分を形成し、これらバス接続線間にクロストークが生ずるようにした基本回路を示すものである。同図に示すように、バス接続線1-1, 1-2は互いに平行で近接した長さLの部分を平行結合部とし、これらバス接続線1-1, 1-2の

$$V_b(t) = K_b \cdot [V_o(t) - V_o(t - 2T_d)] \quad \dots (2)$$

$$V_f(t) = K_f \cdot L \cdot d/dt V_o(t - T_d) \quad \dots (3)$$

但し、

$$K_b = 1/4(L_m/L_o + C_m/C_o) \quad \dots (4)$$

$$K_f = -1/2V_p \cdot (L_m/L_o - C_m/C_o) \quad \dots (5)$$

であり、

$K_f$ は前方クロストーク係数

$K_b$ は後方クロストーク係数

$V_p$ はパルスが配線上を伝搬する速度

$L$ は平行結合部長

両端部を終端抵抗Rで整合終端している。但し、バス接続線1-1の一方の端部は終端抵抗Rを介してパルス源20に接続されている。なお、平行結合部の部分でのバス接続線1-1のパルス源20側端部を(G)、他方の端部を(R)とし、また、平行結合部の部分でのバス接続線1-2の端部(G)に対向する端部を(B)、端部(R)に対向する端部を(F)とする。パルス源20はバス接続線1-1の一方の端部からパルス幅T\_wの矩形波をドライブパルスとして供給する。この時にバス接続線1-1, 1-2の端部(G), (R), (B)及び(F)に発生する電圧は図3(b)に示すようになる。図3(b)において、(G)はバス接続線1-1の端部(G)でのドライブパルスの波形であって、(R)はバス接続線1-1を伝搬してバス接続線1-1の端部(R)で得られるドライブパルスの波形である。本実施例では線路の特性インピーダンスが一定であるため、伝搬に伴う信号波形歪は殆どない。このドライブパルスがバス接続線1-1を伝搬すると、ドライブパルスの立上り、立下り時に、バス接続線1-2の端部(B), (F)に誘起信号を発生させる。この誘起信号は、平行結合部部でのバス接続線1-1, 1-2間の静電結合及び誘導結合に起因するものであり、クロストークと呼ばれている。

【0010】よく知られているように、バス接続線1-2の端部(B)と端部(F)とに発生するクロストークの電圧波形は異なる。端部(B)に発生するクロストークは後方クロストークと呼ばれ、平行結合部長Lの平行結合部を信号が伝搬する時間をT\_dとすると、図3(b)の(B)に示すように、2T\_dのパルス幅の電圧波形を有し、また、端部(F)に発生するクロストークは前方クロストークと呼ばれ、図3(b)の(F)に示すように、そのパルス幅はドライブパルスの波形の立上り/立下り時間程度の電圧波形を有しており、それらの電圧V\_dはバス接続線路上を伝搬するドライブパルスの波形の変化時（立上り、立下り時）に発生する。端部(G)でのドライブパルスの波形をV\_o(t)とすると、端部(B)に発生する後方クロストーク電圧V\_bは次の数式(2)で、端部(F)に発生する前方クロストーク電圧V\_fは次の数式(3)でそれぞれ表わされる。

【0011】

$$\dots (2)$$

$$\dots (3)$$

$$\dots (4)$$

$$\dots (5)$$

$T_d$ は平行線部長Lの信号伝搬時間 ( $= L/V_p$ )

$L_m$ は2線路間の単位長当りの相互インダクタンス

$L_o$ は単線の単位長当りの自己インダクタンス

$C_m$ は2線路間の単位長当りの相互キャパシタンス

$C_o$ は単線の単位長当りの短絡回路キャパシタンス

である。

【0012】上記式(3)から明らかなように、バス接続線1-2上の端部(F)での前方クロストーク電圧の信号波形はドライブパルスの微分波形である。例えば、ガラスエポキシ系プリント基板を用いた場合、前方クロストーク係数K<sub>f</sub>は約0.1nsec/mとなるので、ドライブパルスを5V、その立上り/立下り時間を0.1nsec、平行結合部長Lを10cm、信号伝搬速度V<sub>p</sub>を約15cm/nsecとすると、端部(F)に発生する前方クロストーク電圧V<sub>f</sub>のピーク値は約0.5Vとなり、信号分別をするには充分な大きさである。また、後方クロストーク係数K<sub>b</sub>は約0.3nsec/mであり、端部(B)に発生する後方クロストーク電圧V<sub>b</sub>のピークは、同様な条件で約1.5Vであり、これも信号分別をするには充分な大きさである。図1に戻って、半導体集積回路10-1のバス信号出力回路3-1から矩形波信号が送信された時、この矩形波信号はバス接続線1-1を伝搬し、図3で説明したように、長さLの平行結合部でバス接続線1-2にクロストーク電圧を生じさせる。この発生したクロストークはスタブを伝搬して半導体集積回路10-2に達する。この時の信号波形はバス接続線1-1上の矩形波信号を微分した波形となっている。そこで、半導体集積回路10-2のバス信号入力回路2-2の初段に積分回路が設けられており、これによって微分波形の信号が積分されて半導体集積回路10-1のバス信号出力回路3-1から出力される矩形波信号と全く同じ波形に復調される。

【0013】図4(a)はバス信号入力回路2-1の内部回路を示すブロック図であり、100は積分回路、200はレベル変換回路である。同図において、バス信号入力回路2-1に入力された上記の微分波形の信号は積分回路100で積分されて復調され、レベル変換回路200によって使用するデバイスに合わせた電圧レベルに変換される。積分回路100は、図4(b)の詳細回路図に示すように、コンデンサ300と抵抗400とから構成されている。かかる積分回路は半導体集積回路で容易に構成できる。また、この積分回路100を高利得のオペアンプ等を用いて構成することもできる。この例を図4(c)に示す。500はオペアンプであり、このオペアンプ500と抵抗400とコンデンサ300とから積分回路100を構成することにより、高利得な入力回路を構成できる。図1に示す半導体集積回路10-2は上述のようなバス信号入力回路2-2を有するので、平行結合部でバス接続線1-2に発生するドライブパルスの微分波形の誘起信号を元のドライブパルスと同形の信号に復調することができる。また、バス信号入力回路2-2を高い入力インピーダンスを有するように構成することにより、スタブ上のこの端での反射係数を最大で1

にできるので、入力信号の大きさを最大2倍にすることができるという効果もある。

【0014】以上のように、本実施例では、バス接続線1-1、1-2を非接触で電気結合させると共に、各々のバス接続線1-1、1-2を整合終端することにより、バス接続線路上の多重反射をなくし、伝搬信号の波形歪を極めて小さくすることができる。また、バス接続線1-1、1-2は非接触結合されたため、バス接続線1-1には半導体集積回路10-2の負荷容量が接続されず、従って、この負荷容量による伝搬信号の波形歪も生じない。同様にして、半導体集積回路10-2から半導体集積回路10-1にデータ転送する場合、バス接続線1-2上のドライブパルスによって平行結合部でバス接続線1-2からバス接続線1-1にクロストークが生ずることにより、バス接続線1-1にこのドライブパルスの微分波形の信号が得られ、これが半導体集積回路10-1に到達する。この半導体集積回路10-1のバス信号入力回路2-1も初段に積分回路が設けられており、これによって元のドライブパルスと同形の信号が復調される。この時に、バス接続線1-1上では終端抵抗5-1側にも信号が伝搬するが、この信号は終端抵抗5-1で吸収されるため、反射波が生じることなく、転送されるデータに影響を与えない。このように、バス接続線1-1、1-2を非接触バス配線とすることにより、伝搬信号に波形歪が生じることなく双方向にデータ転送を行なうことができるので、高速なバス接続線を構成することができる。なお、本実施例では、1ビットの非接触バス配線を示したが、これと同じ構成のバス配線を多数用いることにより、バス幅を大きくすることができる。

【0015】図5は本発明の第2の実施例を示す構成図であって、第1の実施例に対応する部分には同一符号をつけて重複する説明を省略した。以下の説明においても同様とする。図5に示すように、本実施例は平行結合部でのバス接続線1-1に対するバス接続線1-2の向きが第1の実施例と異なり、バス接続線1-1、1-2の送信信号伝搬方向が同じ向きになるように配置されている。従って、本実施例では、データ転送は後方クロストーク電圧を利用することになる。先に述べたように、後方クロストークの電圧波形は2Tdのパルス幅を持ち、転送データの動作周期の半分のデータパルス幅Tw以下の動作周波数で使用することができる。また、後方クロストーク電圧のピーク値は、伝搬遅延時間Tdが送信データ信号の立上り/立下り時間T1より大きければ、後方クロストーク電圧は式(2)、(4)により平行結合部長Lに依らないことから、平行結合部長Lは次の式(6)で示される範囲内にあればよいことになる。

$$Tw > 2Td = 2L/Vp$$

$$\text{即ち, } Vp \cdot T1 < L < Tw \cdot Vp / 2$$

$$\dots (6)$$

そこで、例えば、動作周波数を 200 MHz (従って、データパルス幅  $T_w = 5 \text{ nsec}$ )、立上り／立下り時間  $T_1$  を 1 nsec とすると、平行結合部長  $L$  は 1.5 ~ 2.0 cm となる。このように、本実施例では平行結合部長  $L$  が数式

(6) で示される範囲内であれば、任意に設定することができるから、第 1 の実施例が奏する効果の外に、装置の実装設計に自由度が増すという効果を得ることができる事になる。また、第 1 の実施例においてはデータパルス幅  $T_w$  はドライブパルスの立上り／立下り時間  $T_1$  と同程度の短い期間 (例えば、上述のように 1 nsec) であるが、本実施例においてはデータパルス幅  $T_w$  はほぼ  $2T_d$  (例えば、2.0 ~ 2.6 nsec) となり、期間が 2 倍以上長くなるから、入力信号が入力回路 2 で復調される際に、入力信号を確実に検出して復調することができる。

【0016】図 6 は本発明の第 3 の実施例を示す構成図であって、2-3, 2-4 はバス信号入力回路、3-3, 3-4 はバス信号出力回路、5-3, 5-4 は終端抵抗、10-3, 10-4 は半導体集積回路である。図 6 に示すように、本実施例では半導体集積回路 10-1, 10-2, 10-3, 10-4 の 4 個の半導体集積回路がバス接続される。バス接続線 1-1 の一方の端部に半導体集積回路 10-1 のバス信号入力回路 2-1 とバス信号出力回路 3-1 が接続され、他方の端部に半導体集積回路 10-2 のバス信号入力回路 2-2 とバス信号出力回路 3-2 が接続されている。また、バス接続線 1-2 の一方の端部に半導体集積回路 10-3 のバス信号入力回路 2-3 とバス信号出力回路 3-3 が接続され、他方の端部に半導体集積回路 10-4 のバス信号入力回路 2-4 とバス信号出力回路 3-4 が接続されている。さらに、バス接続線 1-1 は半導体集積回路 10-1, 10-2 の近傍でそれぞれ終端抵抗 5-1, 5-2 により整合終端されており、バス接続線 1-2 も半導体集積回路 10-3, 10-4 の近傍でそれぞれ終端抵抗 5-3, 5-4 により整合終端されている。バス接続線 1-1 の終端抵抗 5-1, 5-2 間の一部配線とバス接続線 1-2 の終端抵抗 5-3, 5-4 間の一部配線とで長さ  $L$  の平行結合部が形成されている。かかる構成は平行結合部での前方クロストークと後方クロストークを利用するものであって、半導体集積回路 10-1 (10-2) から半導体集積回路 10-3, 10-4 へのデータ転送、半導体集積回路 10-3 (10-4) から半導体集積回路 10-1, 10-2 へのデータ転送を可能とするものである。これにより、プリント基板上の配線を増加させることなく多くの半導体集積回路を実装できるので、装置の小型化が実現できるという効果がある。

【0017】同じバス接続線に接続されている半導体集積回路 10-1, 10-2 間や半導体集積回路 10-3, 10-4 間のデータ転送は行なうことができない。これは、それぞれ半導体集積回路 10-1 ~ 10-4 の

バス信号入力回路 2-1 ~ 2-4 に積分回路が設けられており、これに微分されないままの波形のドライブパルスが供給されると、これを積分してしまい、全く異なる波形の信号を受信するからである。勿論、このバス信号入力回路 2-1 ~ 2-4 と並列に従来の TTL や CMOS, ECL 等のデジタル受信回路を設け、供給される信号の波形または送信する側の半導体集積回路を識別し、この識別結果に応じて受信信号の処理を切り換えるようにすることにより、同じバス接続線に接続される半導体集積回路間のデータ転送も可能になる。なお、本実施例において、例えば、半導体集積回路 10-2 がバス接続線 1-1 に接続されない構成とすることもできるし、また、半導体集積回路 10-3 または 10-4 がバス接続線 1-2 に接続されない構成とすることもできる。但し、このように構成する場合には、バス接続線 1-1, 1-2 の半導体集積回路が接続されない方の端子を終端抵抗で整合終端する必要がある。

【0018】図 7 は本発明の第 4 の実施例を示す構成図であって、1-3 ~ 1-8 はバス接続線、5-3 ~ 5-8 は終端抵抗、10-5 ~ 10-8 は半導体集積回路である。図 7 に示すように、本実施例では 8 個の半導体集積回路 10-1 ~ 10-8 がバス接続されている。前述の実施例で説明したように、半導体集積回路 10-1 からバス接続線 1-1 が引き出され、このバス接続線 1-1 の端部が終端抵抗 5-1 によって整合終端されている。同様に、これ以外の半導体集積回路 10-2 ~ 10-8 からもそれぞれバス接続線 1-2 ~ 1-8 が引き出され、それらの端部が終端抵抗 5-2 ~ 5-8 によって整合終端されている。そして、これらバス接続線 1-2 ~ 1-8 の一部の長さ  $L$  の部分がそれぞれバス接続線 1-1 と近接かつ平行に配置されて平行結合部となっている。なお、本実施例の平行結合部ではバス接続線 1-1 と、それ以外のバス接続線 1-2 ~ 1-8 では、その送信信号伝搬方向が逆向きとなっている。かかる構成において、半導体集積回路 10-1 がデータ送信する場合には、第 1 の実施例と同様に、半導体集積回路 10-1 からの送信データをそれぞれの平行結合部を介して、送信信号を微分波形信号として他の半導体集積回路 10-2 ~ 10-8 に送信することができる。また、同様にして、半導体集積回路 10-2 ~ 10-8 がデータ送信する場合には、半導体集積回路 10-2 ~ 10-8 からの送信データをそれぞれの平行結合部を介して、送信信号を微分波形信号として半導体集積回路 10-1 に送信することができる。半導体集積回路 10-2 ~ 10-8 間でのデータ転送は第 3 の実施例と同様に、送信データが 2 つの平行結合部によって 2 度微分されることから、動作原理上不可能である。なお、このバス接続形態はメモリ間転送のない高速メモリバスや I/O 間転送をサポートしないシステムバスに最適である。このように、第 1 の実施例を拡張して、バス接続される半導体集積回路数

を増加させても、メインラインには負荷容量が接続されないから、信号伝搬速度が低下する事がない。従つて、バス接続される負荷数を多くしても、安定に高速動作できるバスを実現できる。また、本実施例ではバス接続線間が非接触で電気結合され、かつ、各々のバス接続線 1-1～1-8 が整合終端されているために、スタブやメインライン上での送信信号の多重反射が無いから、送信信号の波形歪を極めて小さくすることができる。

【0019】図 11 は非接触バス配線に接続される半導体集積回路 10-1, 10-2 の入力回路 2-1, 2-2 の内部回路図である。非接触バス配線に接続された半導体集積回路 10 の入力回路 2 は、電圧比較回路 600 と復調回路 700 により構成される。入力回路 2 に入力される信号は、矩形波の送信信号を微分した波形の信号である。電圧比較回路 600 は、この微分波形の信号を或る基準電圧と比較することでピーク電圧を検出し、復調回路 700 により元の矩形波形に復調する。図 12 は半導体集積回路 10 の入力回路 2 の具体的な詳細回路を示すブロック図である。図 12 (a) において、電圧比較回路 600 は電圧比較回路 (コンパレータ) 610, 620 から成り、それぞれ基準電圧  $V_{ref1}$ ,  $V_{ref2}$  と入力信号電圧を比較し、その結果を出力する。復調回路 700 は論理回路 710 と分周回路 720 から成り、論理回路 710 は電圧比較回路 600 の電圧比較回路 610, 620 の出力を合成し、分周回路 720 により復調する。この入力回路 2 の各部の動作を図 13 を用いて説明する。なお、各回路素子での信号遅延は無視できるものとする。図 13 において、(a) は、バス接続された半導体集積回路 10 からの送信データの矩形波形、即ち、バス配線 1-1 上の送信信号波形を示す。

(b) はバス配線 1-2 上のクロストーク信号波形であり、この場合は送信信号波形 (a) を微分した波形となる。このクロストーク信号 (b) が図 12 (a) に示す入力回路 2 に入力される。電圧比較回路 610, 620 は、図 13 (b) に破線で示した基準電圧  $V_{ref1}$ ,  $V_{ref2}$  とクロストーク信号 (b) をそれぞれ比較し、(c), (d) の波形の出力信号を出力する。論理回路 710 はこれらの信号を合成し、(e) のパルス列の波形の出力信号に変換する。分周回路 720 は

(e) の信号を分周することにより復調信号 (f) を得る。この復調信号 (f) は完全に送信信号 (a) を復元したものとなっている。

【0020】また、入力回路 2 は図 12 (b) の様な構成としても図 12 (a) に示す入力回路 2 と同様に送信信号を復調できる。電圧比較回路 600 は、図 12

(a) に示すものと同じであり、復調回路 701 は分周回路 730, 740 及び排他論理回路 750 により構成される。各部の動作を図 13 により説明する。復調回路 701 の入力信号は図 13 (c) と (d) であり、分周回路 730, 740 はそれぞれ、これら (c) と

(d) のパルス列信号を分周し、(g) (h) に示す信号を出力する。そして、排他論理回路 750 は図 13 (g) (h) に示す信号の非一致部を検出し、これを (i) に示す信号の様に復調する。この出力信号波形は図 12 (a) に示す入力回路 2 による復調信号 (f) と同一であり、図 12 (b) に示す入力回路 2 を用いた場合でも、完全に送信信号を復元できる。なお、本実施例の様に入力回路 2 を構成する場合には、電圧比較回路 600 を動作させるためのバイアス用の電源電圧が必要である。勿論、入出力信号は正論理でも負論理でも構わない。本実施例においては、安定した基準電圧  $V_{ref1}$ ,  $V_{ref2}$  を用いることにより、製造バラツキの大きな CMOS 半導体やバイポーラトランジスタ半導体などを回路素子として用いた場合でも、精度の良い入力回路 2 を容易に作ることができる。図 14 (a), (b) は入力回路 2 に入力される基準電圧  $V_{ref1}$ ,  $V_{ref2}$  の生成回路である。図 14 において、5-10～5-13 は分圧抵抗である。基準電圧  $V_{ref1}$ ,  $V_{ref2}$  は半導体集積回路 10 に供給される電源電圧  $V_{dd}$  と接地電位間の電圧を 3 つあるいは 4 つの分圧抵抗で分割することで簡単に生成でき、これらの抵抗 5-10～5-13 を適当に組み合わせることで精度が高く、0V から電源電圧  $V_{dd}$  までの任意の基準電圧  $V_{ref1}$ ,  $V_{ref2}$  を作ることができる。なお、本実施例において説明した上述の各入力回路 2 は勿論、他の実施例にも全く同様に適用できる。

【0021】図 8 は平行結合部での送信信号伝搬方向を同じ向きとした本発明の第 5 の実施例を示す構成図である。図 8 に示すように、送信信号伝搬方向の向きが異なる外は第 4 の実施例の構成と変わらない。従つて、本実施例においても、第 4 の実施例と同様の効果が得られる。なお、第 4, 第 5 の実施例では半導体集積回路の個数を 8 個としたが、勿論、これに限らず、任意の数の半導体集積回路をバス接続することができる。図 9 は本発明の第 6 の実施例を示す構成図である。図 9 に示すように、本実施例は 10 個の半導体集積回路 10-1～10-10 をバス接続したものであって、5 本のバス接続線 1-1～1-5 を用い、第 3 の実施例と同様に、それぞれのバス接続線 1-1～1-5 の両端に半導体集積回路 10-1～10-10 を接続し、それぞれのバス接続線 1-1～1-5 の両端を終端抵抗によって整合終端したものである。本実施例においては、半導体集積回路 10-1, 10-10 と半導体集積回路 10-2～10-9 との間のデータ送信が可能であり、それ以外のデータ送信は第 4 の実施例と同様に不可能である。本実施例も第 4, 第 5 の実施例と同様の効果が得られるが、半導体集積回路の個数が同じであるとすると、これらの上記の実施例に較べてバス接続線の本数を低減できるという効果がある。なお、本実施例では半導体集積回路の個数が偶数の場合について説明したが、これに限らず、奇数であ

つても、そのうちの1つを第1または第2の実施例で示したようなバス接続を行えばよい。勿論、バス接続線の半導体集積回路が接続されない方の端子は、終端抵抗で整合終端されなければならない。また、半導体集積回路10-10が不要で、半導体集積回路10-1と半導体集積回路10-2～10-9との間のデータ送信を行なう場合には、バス接続線1-1の半導体集積回路10-1とは反対側の端部を単に終端抵抗で整合終端すれば良い。

【0022】図10は本発明の第7の実施例を示す構成図であって、50-1～50-4はコネクタ、60-1～60-4はモジュールである。同図に示すように、半導体集積回路10-5, 10-6, 10-7, 10-8はそれぞれモジュール60-1, 60-2, 60-3, 60-4に実装されており、これらモジュール60-1, 60-2, 60-3, 60-4がコネクタ50-1, 50-2, 50-3, 50-4を介してバス接続されている。バスが動作中であっても、メインライン（バス接続線1-1）に擾乱を与えることなく、これらモジュール60-1, 60-2, 60-3, 60-4の挿抜、即ち、活線挿抜が可能である。例えば、バスの動作中にモジュール60-3をコネクタ50-3に接続して半導体集積回路10-7をバス接続する場合、当然バス接続線1-7上には雑音が生じるが、バス接続線1-7が整合終端されているため、この雑音はバス接続線1-7の伝搬時間程度で減衰するから、非終端バスのように反射を繰り返していくまでも減衰しないということはない。また、本実施例では、非接触バス配線されているため、静電破壊などで他の半導体集積回路を破壊するということが無く、メインラインに対しても、従来の接触分岐バスのような誤信号を発生させないので、バス上でデータ転送中であっても半導体集積回路を挿入することができる。また、半導体集積回路10-7を取り外す場合でも、他の半導体集積回路に影響を与えることなく、同様にバス動作中にモジュール60-3を外すことができる。勿論、活線挿抜用のコネクタの設置位置、個数も任意である。

【0023】図15は本発明の第8の実施例を示す構成図であって、終端抵抗5-1と5-2は終端電圧V<sub>t</sub>に接続されている。また、バス配線1-1、1-2は、これらの線路が交流的に整合終端されているので、前述の実施例と同様に終端で反射を生じさせない。終端電圧V<sub>t</sub>を0V以上で、半導体集積回路10-1に入力される電源電圧V<sub>dd</sub>より約0.5V以上低い電圧にすることにより、入力回路として第2の実施例に用いられた入力回路2を用いた場合でも、終端電圧V<sub>t</sub>を入力回路2のバイアス電圧とでき、入力回路2に接続される電源を单一電圧源で構成することができる。なお、整合終端手段として、上述の終端手段に代えて、電源とグランド間を終端するテブナン終端を用いても良い。さらに、終端電

圧V<sub>t</sub>を約1V以上の直流電圧とすることにより、出力回路3-1, 3-2を、オープンドレイン回路（C-MOS半導体）、またはオープンコレクタ回路（バイポーラトランジスタ半導体）とすることができます。図16は本実施例の半導体集積回路10-1の出力回路3-1を示す構成図である。出力回路3-1は信号増幅回路800とオープンドレイン型MOSトランジスタ810で構成されている。なお、オープンドレイン型MOSトランジスタ810は、オープンコレクタ型バイポーラトランジスタにより構成しても良い。本実施例によれば、出力回路3-1の構成を簡単にできると共に、出力回路3-1のオープンドレイン型MOSトランジスタ810をオシーバーで接続することでバス接続線1-1上に、振幅が終端電圧V<sub>t</sub>の高速パルスを生成できるという効果を有している。また、ドライブ回路としては上述のオープンドレイン型のものばかりでなく、出力回路が幾分複雑になるが、プッシュプル型のものであっても良い。

【0024】図17は本発明の第9の実施例を示す構成図であって、7-1, 7-2は非接触バス配線のバストランシーバ、110-1, 110-2は入出力電圧が2値のH状態とL状態である入出力信号回路を有する一般的な半導体集積回路である。80-1, 80-2は半導体集積回路110-1, 110-2とバストランシーバ7-1, 7-2をそれぞれ接続する配線であり、これらの配線80-1, 80-2を介して2値の入出力信号が伝送される。配線80-1, 80-2により接続された半導体集積回路110-1, 110-2とバストランシーバ7-1, 7-2間のデータの送受信は、入出力電圧が2値のH状態とL状態である通常のC-MOS、TTL、ECL等の半導体集積回路の場合と同じである。また、送受信されるデータはバストランシーバ7-1, 7-2とバス接続線1-1, 1-2を介して転送される。図18はバストランシーバ7-1の構成図である。図18において、70-1はバス信号入力回路2-1とバス信号出力回路3-1を制御する方向制御回路である。図18を用いて本実施例のバストランシーバの動作を説明する。バス信号出力回路3-1の入力は配線80-1を介して伝送された、振幅電圧が2値のH状態とL状態を持つ入力信号であり、バス信号出力回路3-1は配線80-1を介して入力された2値の入力信号と同じ信号をバス接続線1-1に出力する働きをする。また、バス信号入力回路2-1はバス接続線1-1を介して伝送された微分波形の入力信号を復調し、2値の出力信号として配線80-1に出力する働きをする。方向制御回路70-1はバス信号入力回路2-1、バス信号出力回路3-1の動作を排他的に制御する。即ち、バス信号出力回路3-1を動作させている時はバス信号入力回路2-1を動作させず、バス信号入力回路2-1を動作させている時はバス信号出力回路3-1を動作させないように制御する。これにより、1本の信号線でデータの送受信の制

御を行える。また、方向制御回路70-1がバス信号入力回路2-1、バス信号出力回路3-1とも動作させないように制御することで、障害を起こした半導体集積回路110-1をバス接続線1-1から電気的に切り離すことができる。この様に、バストランシーバ7-1、7-2を用いることで、従来の2値入出力信号回路を有する半導体集積回路をそのまま用いて、非接触バス配線に接続できる。

【0025】図19は本発明の第10の実施例を示す構成図であって、110-3～110-8は、従来の2値入出力信号回路を有する半導体集積回路、7-3～7-8はバストランシーバである。2値入出力信号回路を有する半導体集積回路110-1～110-8は、それぞれバストランシーバ7-1～7-8に接続されており、これらの間では通常の2値信号から成るデータが送受信されている。そして、バストランシーバ7-1～7-8間は、非接触バス配線を介してデータが送受信されている。このように、バストランシーバ7-1～7-8を用いることで、従来の2値入出力信号回路を有する半導体集積回路をそのまま用いながら、非接触バス配線を構成でき、また、送信信号の高速転送並びに活線挿抜を容易に実現することができる。

【0026】図20は本発明の第11の実施例に係るバス接続線の構成を示す断面図である。図20において、6は非接触バス配線を構成する多層プリント回路基板、1-9、1-10はバス接続線、90-1～90-6は接地印刷配線である。図20に示したバス接続線1-1、1-2、または、バス接続線1-9、1-10は前述の実施例で説明した非接触バス配線の平行結合部を成す部分である。これらのバス接続線1-1、1-2または1-9、1-10は多層プリント回路基板6の上下の異なった層の同位置に平行配置されており、前述のように、両者の間は非接触ながら電気的に結合している。接地印刷配線90-1～90-4はバス接続線1-1、1-2を囲むように配置されており、各配線の両端は接地されている。なお、この図では接地電位を有する部分は斜線で線影が付されている。これにより、非接触バス配線の平行結合部に対する他の非接触バス配線の平行結合部、例えば、バス接続配線1-1、1-2に対するバス接続線1-9、1-10からの電気結合を弱めることができ、その結果、相互の非接触バス配線に発生する雑音を低く抑えることができるので、信頼性の高いバスを構成することができる。図21は本実施例のバス接続線の具体例の構成を示す断面図、図22はこの具体例の平行結合部の端部に発生するクロストーク信号の波形を示すグラフである。図21に示したように、プリント回路基板6の比誘電率は4.5であり、バス接続線1-1、1-2および各層間の寸法はそれぞれ図示の通りである。なお、図22に示すグラフは上述の具体例の非接触バス配線を電磁界解析し、発生するクロストーク信号波形を

模擬実験して得た結果である。また、寸法の単位はμm、平行結合部長Lは15cm、立上り・立下がり時間T1は1nsecである。

【0027】図22において、(a)は前述のバス接続線1-1上の(G)点、(R)点の信号波形、(b)はバス接続線1-2上の(B)点、(F)点のクロストーク信号波形である。(c)はバス接続線1-1上の(G)点の信号波形、バス接続線1-2上の(B)点のクロストーク信号の波形である。図22から分かるように、この具体例の非接触バス配線では、1Vの振幅の送信信号を転送することにより、それぞれ0.22V、0.28Vの振幅の後方及び前方クロストーク信号を発生させることができる。この様に、比較的容易に製造できるプリント回路基板を用いることで、本発明に係る非接触バス配線を容易に実現できる。次に、平行結合部を主プリント回路基板から独立して設けることにより、主プリント回路基板の小型化を図った本発明の第12の実施例を説明する。図23は本発明の第12の実施例に係るバス接続線の構成を示す断面図、図24はバス接続線を含むプリント回路基板の正面図である。これらの図において、61はバス接続線1-1とバス接続線1-2が平行に対峙する長さLの平行結合部と終端抵抗5-2から成る平行結合基板、63はメモリバスやバックブーンバスのように多数のコネクタが配設された主プリント回路基板であり、平行結合基板61は第1の実施例に係るバス接続線の平行結合部を含む一部の回路要素を図21に示すものと同様の独立した回路基板で構成されており、主プリント回路基板63の回路配線とはコネクタ50-7を介して接続されている。図24に示す回路基板60-5、60-6はそれぞれ半導体集積回路10-1、10-2を搭載したプリント回路基板であり、主プリント回路基板63の回路配線とはコネクタ50-5、50-6を介して接続されている。従って、バス接続線の回路動作上は第1の実施例のものと何ら変わらない。なお、平行結合基板61の平行結合部を構成するバス接続線の特性インピーダンスは他の回路配線の特性インピーダンスと同じである。

【0028】例えば、半導体集積回路10-1から半導体集積回路10-2に信号伝送される場合を考えると、半導体集積回路10-1から回路基板60-5およびコネクタ50-5を介して信号が主プリント回路基板63に伝達され、さらに、その回路配線およびコネクタ50-7を介して平行結合基板61内のバス接続線1-1に伝達され、再度、コネクタ50-7および主プリント回路基板63の回路配線を介して殆ど波形歪みを受けること無く終端抵抗5-1に到達し、反射されること無く減衰する。平行結合基板61内の平行結合部でバス接続線1-2に発生したクロストーク信号はコネクタ50-7、主プリント回路基板63の回路配線、コネクタ50-6および回路基板60-6を介して半導体集積回路1

0-2に伝送される。前述のように、クロストーク信号は半導体集積回路10-2の入力回路2-2により復調されて論理信号となる。このように、本実施例では平行結合部を構成し、バス接続線1-1とバス接続線1-2との間で信号伝播に必要な長さの回路配線を独立した回路基板に形成したので、これを主プリント回路基板63に形成した場合に較べて配線密度を低下させることができるので、回路構成を全体として小型化できると共に、配線設計費用と基板製造費用を低減することができる。なお、終端抵抗5-1は平行結合部に対して半導体集積回路10-1と反対側にあれば何の位置に配置しても良い。また、主プリント回路基板63に立設される各回路基板を両面実装するようにしても良い。図25は主プリント回路基板63の片側に半導体集積回路10-1, 10-2, 10-3をそれぞれ搭載した回路基板60-7, 60-8, 60-9をコネクタ50-8, 50-9, 50-10を介して立設接続し、他方の側に平行結合基板61-1, 61-2, 61-3をコネクタ50-8, 50-9, 50-10を介して立設接続した本実施例の変形例に係るプリント回路基板の正面図である。このように、主プリント回路基板63に各回路基板を両面実装するようにすれば回路基板の実装密度をさらに高めることができる。なお、コネクタ50-8, 50-9, 50-10は基板貫通型のものでも表面設置型のものでも良い。なお、以上説明した実施例に限らず、本発明は上述の実施例を組み合わせたものであっても実施することができる。例えば、複数の半導体集積回路10をバス接続する場合、一部の半導体集積回路10を図7に示したように、送信信号伝搬方向が逆向きとなるようにバス接続線1-1に接続し、他の半導体集積回路10を図8、図9、図10に示すように、送信信号伝搬方向が同じ向きになるように、あるいは、コネクタ50を介してバス接続線1-1に接続しても良い。

#### 【0029】

【発明の効果】以上説明したように請求項1記載の発明によれば、少なくとも一方の端部に、入力回路に積分回路を有する信号処理手段がそれぞれ接続された複数のバス接続線の信号処理手段側とは反対側の端部を整合終端し、バス接続線の中の1つのバス接続線に対し、当該バス接続線以外の少なくとも1つのバス接続線の一部を非接触かつ近接して、平行に配置することにより非接触平行結合部を構成したので、スタブやメインライン上での多重反射が無いかから、送信信号の波形歪を極めて小さくすることができ、メインラインに直接負荷容量が接続されないから、バス接続される信号処理手段の個数に拘らず、信号伝搬速度の低下を防ぐことができ、バスを高速かつ安定に動作させることができる。請求項2記載の発明によれば、少なくとも1つのバス接続線の両端部に信号処理手段を接続し、かつ、両端部をそれぞれ整合終端したので、バス接続線を構成する配線の数を少なくする

ことができるから、バス配線を小型化できる。請求項3記載の発明によれば、信号入出力回路の入力回路を電圧比較回路と復調回路で構成したので、安定電源を用いることにより、安価なC-MOS半導体やバイポーラトランジスタ半導体などを回路素子として用いた場合でも、精度の良い入力回路を容易に作ることができる。請求項4記載の発明によれば、平行結合部を形成するバス接続線相互間では、接続された信号処理手段から出力される信号の送信信号伝搬方向が互いに同じ方向となるようにしたので、平行結合部の長さを所定の範囲内で任意に設定できるから、設計の自由度を増大させることができる。請求項5記載の発明によれば、平行結合部を構成するバス接続線をプリント回路基板上の隣接する2つの配線、または、多層プリント回路基板の積装方向に隣接する2つの配線で構成したので、一般的なプリント配線技術を用いてバス接続線を簡単、かつ、安価に製造できる。

【0030】請求項6記載の発明によれば、信号入出力回路の出力回路にオーブンドレイン型MOSトランジスタを用いるようにしたので、応答特性の優れた出力回路とすることができる。請求項7記載の発明によれば、信号処理手段が有する信号入出力回路を信号処理を行う信号処理回路本体と別体構成としたので、新たに信号入出力回路を付加すること無くC-MOS、TTL、ECL等の一般的な半導体集積回路で構成される信号処理手段をそのままバス接続線に接続することができる。請求項8記載の発明によれば、平行結合部を構成するバス接続線を多層プリント回路基板の上下に隣接する2つの配線とし、これらの2つの配線が対向する方向と異なる方向に前記配線を両側から挟むように平行配置された接地配線を設けたので、異なる平行結合部を構成するバス接続線間の電気結合を弱めることができるから、信頼性の高いバスを構成することができる。請求項9記載の発明によれば、信号伝達部を構成するバス接続線および当該バス接続線の少なくとも一方の端部を整合終端する終端抵抗で構成されるバス接続部を独立したプリント回路基板で構成したので、信号伝達部を含むプリント回路基板と他のプリント回路基板で構成される回路基板ユニットを小型で廉価にでき、プリント回路基板の実装密度を高めることができる。請求項10記載の発明によれば、少なくとも1つの信号処理手段をコネクタを介してバス接続線に接続するようにしたので、当該信号処理手段の活線挿抜が可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例に係る非接触バス配線の構成図である。

【図2】従来のバス配線の一例を示す構成図である。

【図3】非接触バスの原理説明図である。

【図4】第1の実施例に係るバス信号入力回路の内部回路を示すブロック図である。

【図 5】本発明の第 2 の実施例に係る非接触バス配線の構成図である。

【図 6】本発明の第 3 の実施例に係る非接触バス配線の構成図である。

【図 7】本発明の第 4 の実施例に係る非接触バス配線の構成図である。

【図 8】本発明の第 5 の実施例に係る非接触バス配線の構成図である。

【図 9】本発明の第 6 の実施例に係る非接触バス配線の構成図である。

【図 10】本発明の第 7 の実施例に係る非接触バス配線の構成図である。

【図 11】第 4 の実施例に係るバス信号入力回路の内部回路を示すブロック図である。

【図 12】図 11 に示すバス信号入力回路の詳細回路図である。

【図 13】第 4 の実施例に係る非接触バス配線上の信号の波形図である。

【図 14】第 4 の実施例に係るバス信号入力回路の基準電圧生成回路図である。

【図 15】本発明の第 8 の実施例に係る非接触バス配線の構成図である。

【図 16】第 8 の実施例に係るバス信号出力回路のブロック図である。

【図 17】本発明の第 9 の実施例に係る非接触バス配線の構成図である。

【図 18】第 9 の実施例に係るバストランシーバの構成図である。

【図 19】本発明の第 10 の実施例に係る非接触バス配線の構成図である。

【図 20】本発明の第 11 の実施例に係る非接触バス配線の構成図である。

【図 21】第 11 の実施例に係る非接触バス配線の具体例を示す断面図である。

【図 22】第 11 の実施例に係る非接触バス配線のクロストーク信号の波形図である。

【図 23】本発明の第 12 の実施例に係るバス接続線の構成を示す断面図である。

【図 24】第 12 の実施例に係るバス接続線を含むプリント回路基板の正面図である。

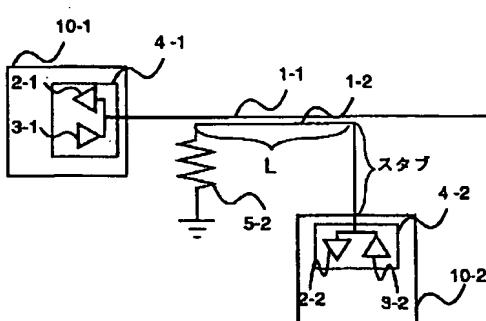
【図 25】第 12 の実施例の変形例に係るプリント回路基板の正面図である。

【符号の説明】

- 1- 1～1- 8 バス接続線
- 2, 2- 1～2- 4 バス信号入力回路
- 3- 1～3- 4 バス信号出力回路
- 4- 1～4- 4 バス信号入出力回路
- 5- 1～5- 4 終端抵抗
- 6 プリント回路基板
- 7- 1～7- 8 バストランシーバ
- 10- 1～10- 10, 110- 1, 110- 2 半導体集積回路
- 50- 1～50- 4 コネクタ
- 60- 1～60- 4 モジュール
- 70- 1 方向制御回路
- 80- 1, 80- 2 配線
- 90- 1～90- 6 接地印刷配線
- 100 積分回路
- 200 レベル変換回路
- 300 コンデンサ
- 400 抵抗
- 600, 610, 620 電圧比較回路
- 700, 701 復調回路

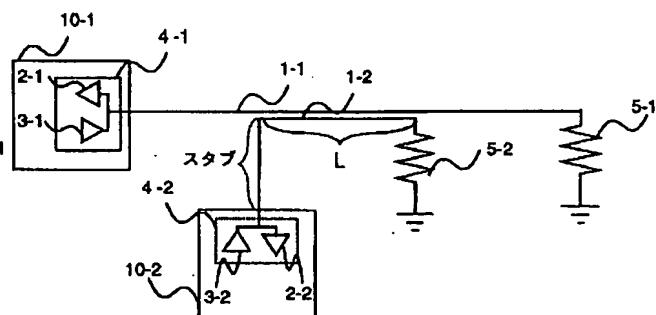
【図 1】

図 1



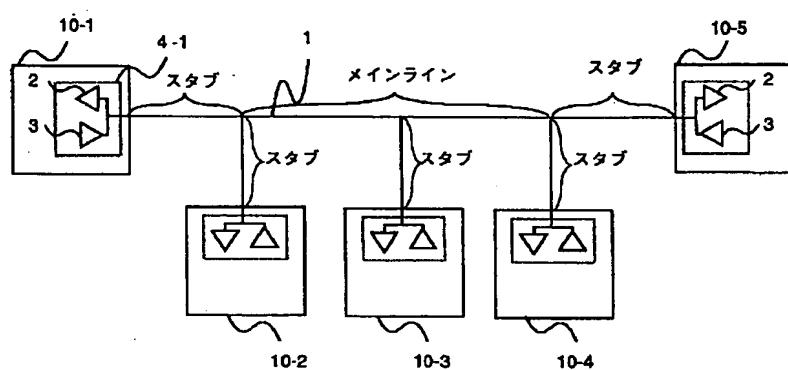
【図 5】

図 5



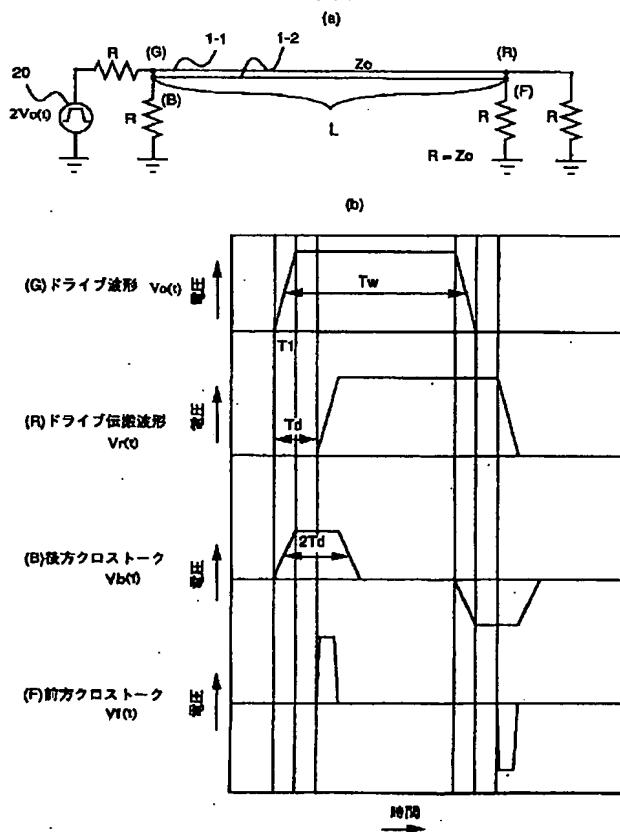
【図2】

図2



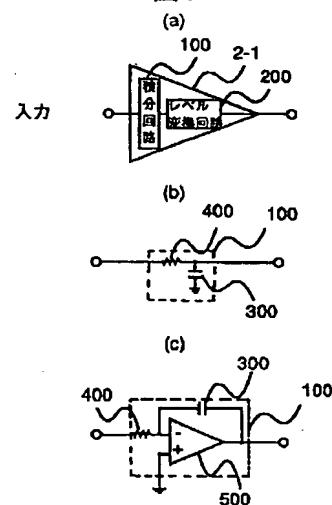
【図3】

図3



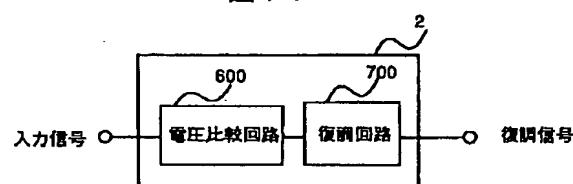
【図4】

図4



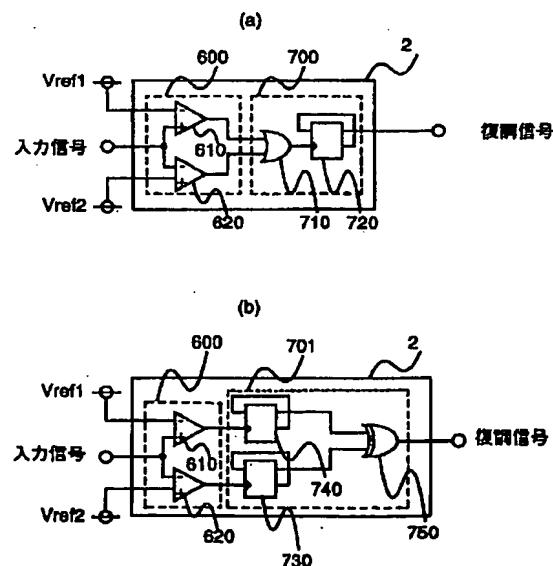
【図11】

図11



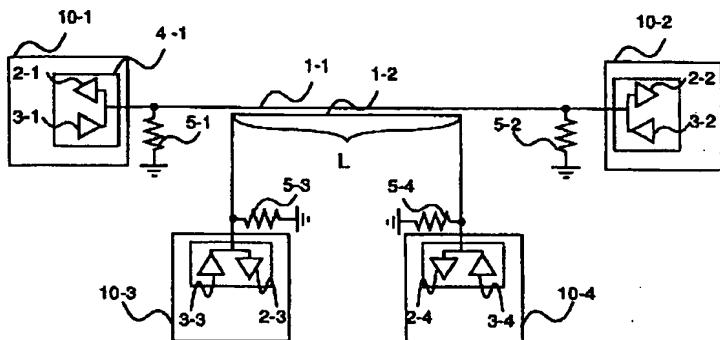
【図12】

図12



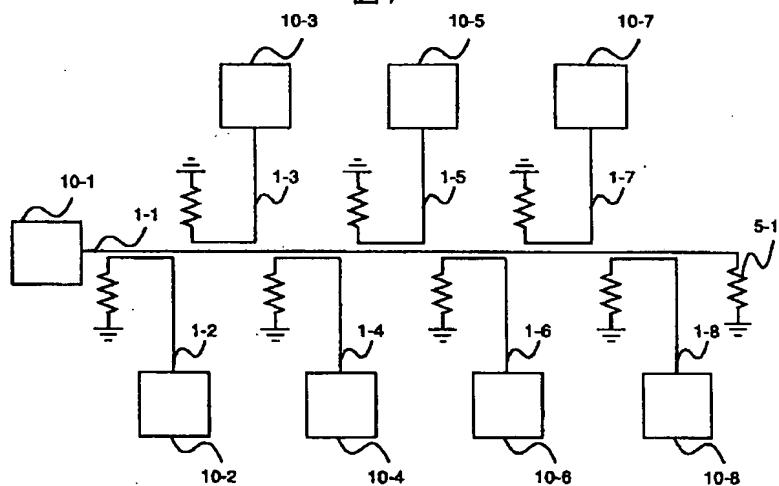
【图 6】

6



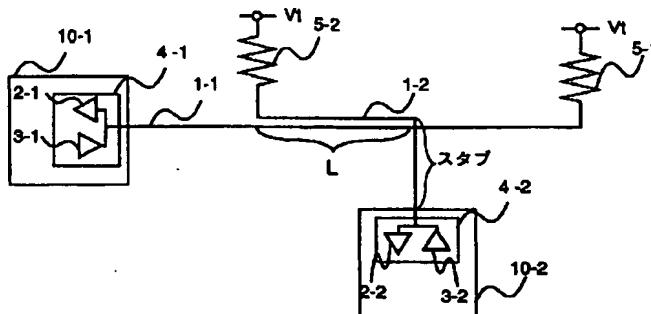
【图7】

图 7



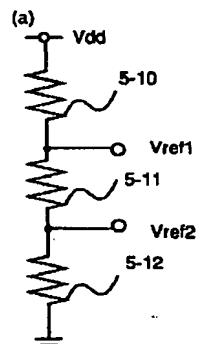
【図15】

圖 1 5

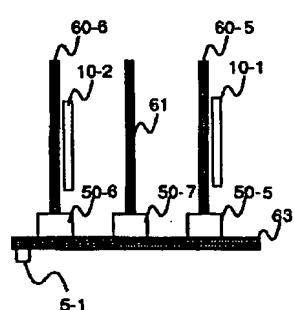


【図14】

14



【图24】



[図25]

圖 25

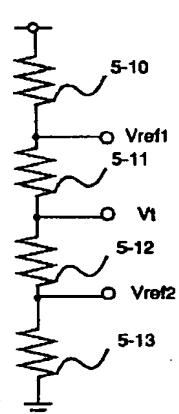


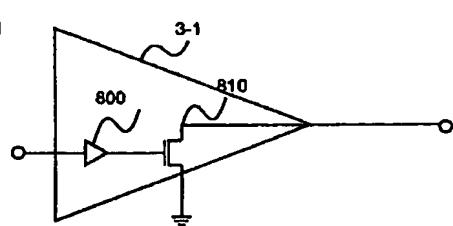
Diagram illustrating a 10-stage integrated circuit structure, likely a flip-flop or similar logic cell. The structure consists of a vertical stack of 10 rectangular blocks, each representing a stage. The stages are labeled as follows:

- Stage 1: 60-7
- Stage 2: 60-8
- Stage 3: 60-9
- Stage 4: 10-1
- Stage 5: 10-2
- Stage 6: 10-3
- Stage 7: 50-8
- Stage 8: 50-10
- Stage 9: 63
- Stage 10: 61-1, 61-2, 61-3

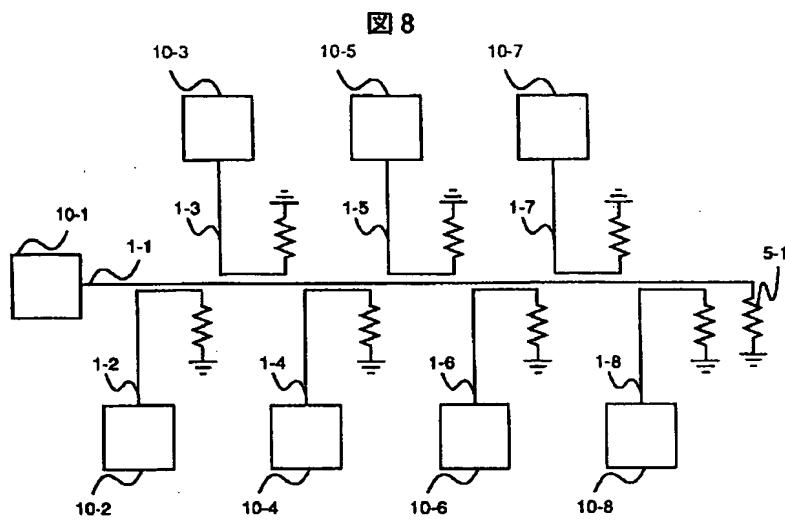
The stages are interconnected by horizontal lines, and the entire structure is mounted on a common substrate.

[図 16]

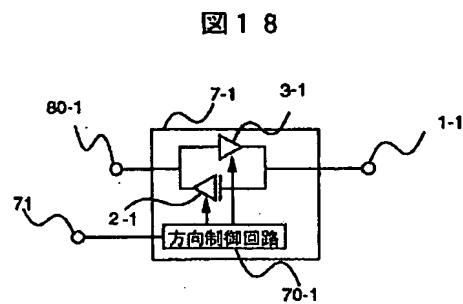
16



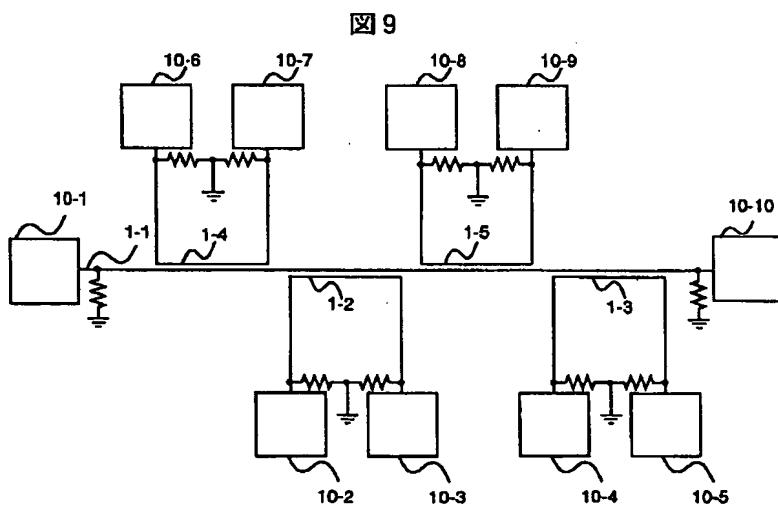
【図8】



【図18】

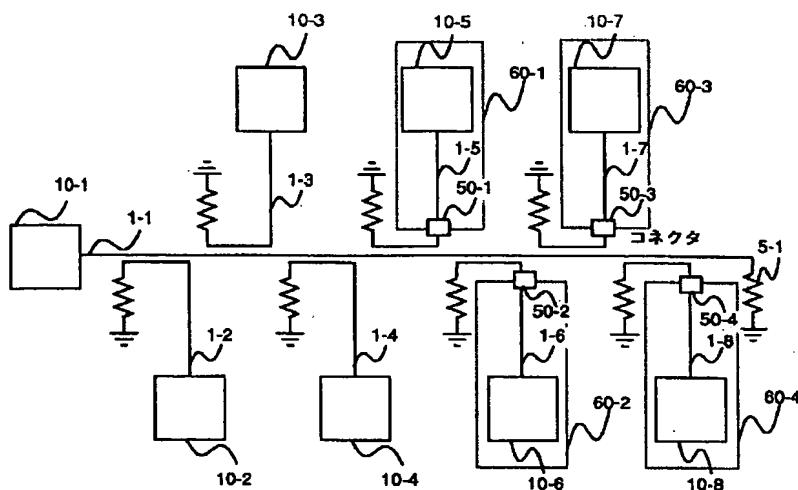


【図9】



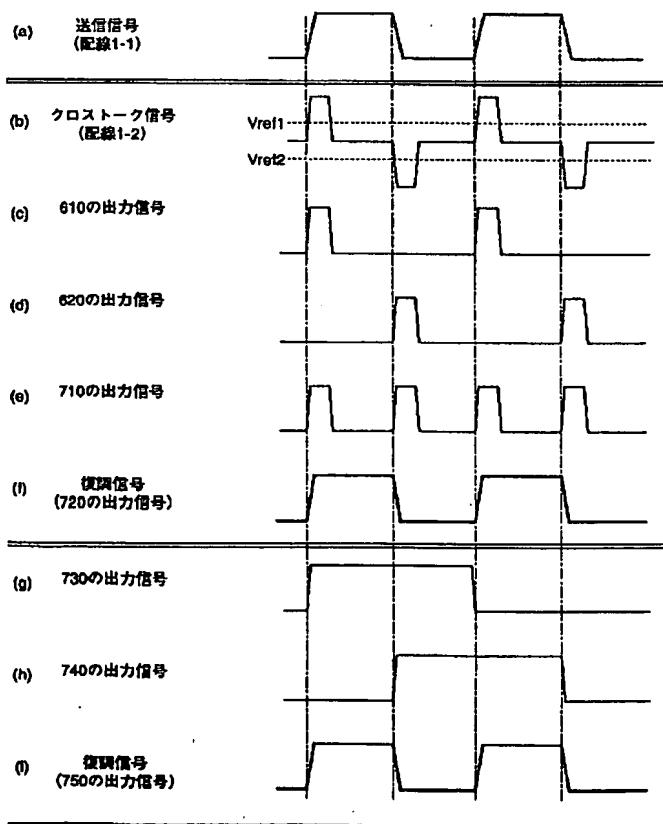
【図10】

図10



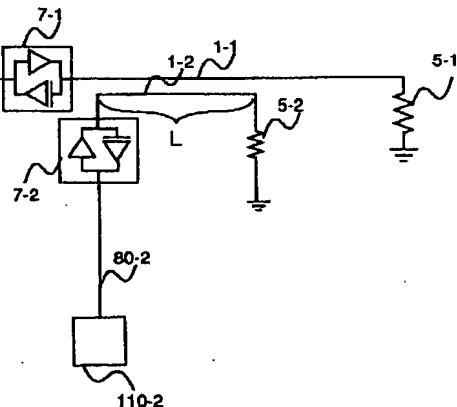
【図13】

図13

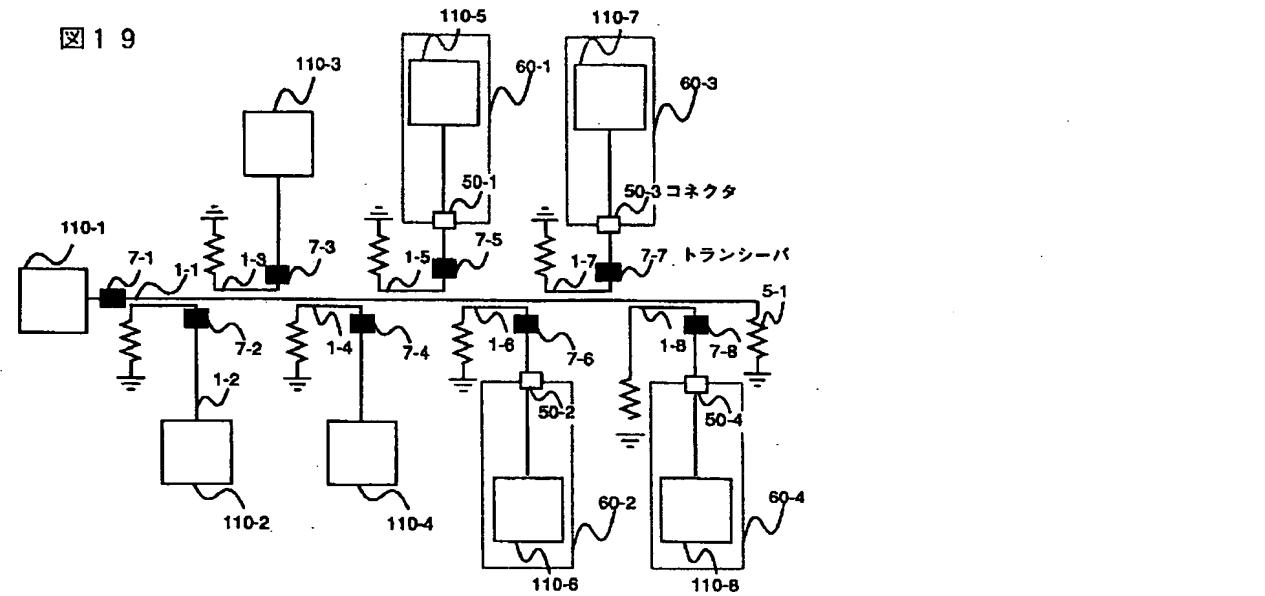


【図17】

図17

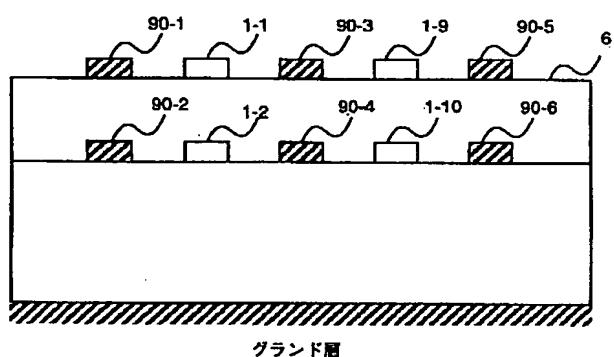


【図19】



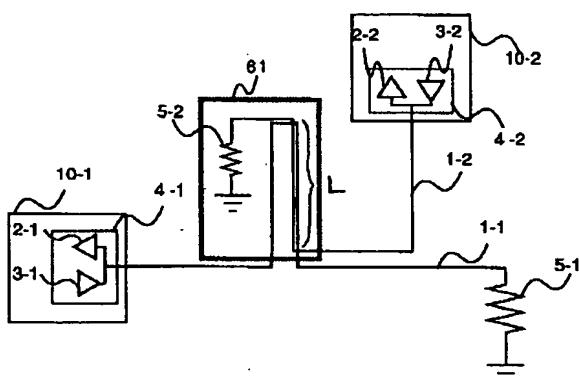
【図20】

図20



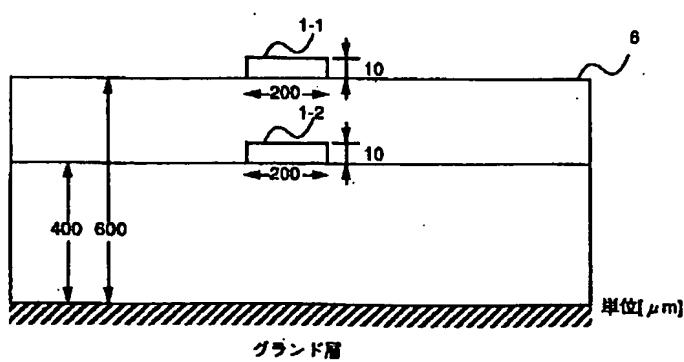
【図23】

図23



【図21】

図21



【図22】

図22

